

**Universität Karlsruhe (TH)**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

**Klausur Rechnerstrukturen**  
**Sommersemester 2009**  
**Aufgabenteil**

## Aufgabe 1: Quantifizierung

10P

### Low-Power-Entwurf

3,5P

- a) Die schaltungstechnische Umsetzung der Funktion  $f = A \wedge B \wedge C \wedge D$  können Sie auf zwei grundsätzliche Arten vornehmen, nämlich **1P**

- $f_1 = (A \wedge B) \wedge (C \wedge D)$  und
- $f_2 = ((A \wedge B) \wedge C) \wedge D$

Ohne Berechnung: Wie sind diese beiden Lösungen hinsichtlich Schaltwahrscheinlichkeit  $S$  und Durchlaufzeit  $D$  zu beurteilen? Vervollständigen Sie auf dem Lösungsblatt die entsprechenden Relationen.

- b) Die Leistungsaufnahme  $P_{total}$  von CMOS-Schaltungen beinhaltet einen statischen und einen dynamischen Teil. Ordnen Sie die Bestandteile von  $P_{total}$  jeweils dem statischen bzw. dynamischen Teil zu und geben Sie an, welcher von der Schaltfrequenz unabhängige Beitrag zu  $P_{total}$  aufgrund der heutigen Miniaturisierung einen wesentlichen Beitrag zur Leistungsaufnahme leistet. **2,5P**

### Leistungsbewertung von Rechensystemen

3P

- c) Beurteilen Sie die auf dem Lösungsblatt getroffenen Aussagen hinsichtlich ihres Wahrheitsgehaltes. **2P**
- d) Wie lautet das Gesetz von Little? Geben Sie die Formel an und benennen Sie die Formelbestandteile. **1P**

### IC-Fertigung:

3,5P

- e) Als Investor finden Sie in der Werbebroschüre eines Chipherstellers folgenden Hinweis: „Die-Ausbeute gesteigert durch Umstellung auf größere Wafer“. **2,5P**
- Wie lautet die Formel für den Die-Ausbeute (Die-Yield)? **1P**
  - Wie bewerten Sie die Werbeaussage hinsichtlich des Die-Yield-Formelwerks, nachdem Sie erfahren, dass wirklich nur die Wafer-Größe geändert wurde, sonstige Fertigungsparameter blieben identisch? Geben Sie eine kurze Begründung. **0,5P**
  - Was würden Sie als Kunde bei einer derartigen Umstellung der Wafergröße als Auswirkung erwarten und worin liegt diese begründet? **1P**
- f) Bei der IC-Fertigung existieren zwei grundsätzliche Methoden, das IC an den Kunden auszuliefern. Welche sind das? **1P**

## Aufgabe 2: Hardwareentwurf

10P

- a) Was ergibt sich aus dem Gestaltungsgrundsatz der Konsistenz hinsichtlich der Erweiterung von CPU-Befehlssätzen? Welche allgemeine Aussage kann bei erfüllter Konsistenzbedingung getroffen werden? **1P**
- b) Ein eingebettetes System werde mit einem 32-Bit-Prozessor bestückt; der Programm- und Datenspeicher ist jedoch nur mit einer Busbreite von 8 Bit zugreifbar. Welcher Gestaltungsgrundsatz wird hier verletzt und was ist im angegebenen Beispiel nicht gegeben? **1P**
- c) Abgesehen von genereller Wiederverwertbarkeit von VHDL-Code unterstützt VHDL den Gestaltungsgrundsatz der Wiederverwendbarkeit in besonderer Form. Über welche zwei Deklarationen geschieht dies? Es reicht die Angabe der Schlüsselwörter. **1P**
- d) Die automatisierte Hardwaresynthese auf Basis von Hardwarebeschreibungssprachen bietet vier wesentliche Vorteile gegenüber diskreter, manueller Hardwareentwicklung. Nennen Sie diese. **2P**
- e) Benennen Sie die drei wesentlichen Entwurfsschritte beim Hardwareentwurf. **1,5P**

In einer VHDL-Beschreibung sei ein Prozess wie folgt beschrieben:

```
process (clk, rst)
  variable count: unsigned(7 downto 0);
begin
  if rst='0' then
    count:=(others=>'0');
  elseif clk'event and clk='1' then
    if count=X"??" then
      flag<='1';
    else
      flag<='0';
    end if;
    count:=count+1;
  end if;
end process;
```

- f) Das flag-Signal (vom Typ bit) soll den Zählerstand 0 anzeigen, d.h. zum Zeitpunkt `count=X"00"` für eine Taktperiode den Wert '1' annehmen, sonst '0'. Welchen Wert müssen Sie für ?? einsetzen und warum? **1P**

g) Sie wollen den Zählerstand, d.h. den Inhalt von `count` auch außerhalb des Prozesses abfragen. **2,5P**

- Erklären Sie, wieso dies im vorliegenden Fall nicht möglich ist. *1P*
- Die notwendigen Änderungen sind ohne Hinzufügen weiterer Signale oder Variablen durchzuführen, sondern rein durch etwaige Änderungen von Datenobjekttyp, Zuweisungen und Abfragen. Für die Lösung reicht die Angabe anfallender Änderungen. *1P*
- `flag` werde nun außerhalb des Prozesses per folgender Zuweisung erzeugt: *0,5P*

```
flag<='1' when count=X"??" else '0';
```

Welcher Wert ist für ?? einzusetzen und warum?

## Aufgabe 3: Prozessorarchitektur

10P

### Pipelining und Leistungsbewertung:

- a) Geben Sie die Formeln für die Ausführungszeit  $T$  jeweils für den Fall mit und ohne Pipeline, den durch Pipelining erzielten Speedup  $S$ , sowie den Durchsatz  $D$  für eine  $k$ -stufige, ideale Pipeline in Abhängigkeit der Anzahl Befehle  $n$  an. **1,5P**
- b) Eine skalare Architektur verwende eine 6-stufige Pipeline. Die Anzahl der in einem gegebenen Programm ausgeführten Befehle betrage 15000. **2P**
- Statistisch gesehen trete bei jedem dritten Befehl als Ergebnis von Datenabhängigkeiten ein Konflikt auf, der einen Leerzyklus zur Auflösung bewirkt; jeder fünfte Befehl sei statistisch gesehen ein Sprungbefehl, der zu einer Verzögerung von jeweils 3 Takten führe. Berechnen Sie die Ausführungszeit  $T$  und schätzen Sie Beschleunigung  $S$  und Durchsatz  $D$  geeignet ab.

### Sprungvorhersage:

- c) Vervollständigen Sie die auf dem Lösungsblatt befindliche Tabelle entsprechend dem jeweiligen Sprungausgang für einen 2-Bit-Hysteresezähler, wobei jeder Sprung über einen eigenen Prädiktor verfüge. Diese seien jeweils mit Weakly Taken (WT) initialisiert. **1P**
- d) Betrachten Sie nun einen (1,1)-Korrelationsprädiktor. Im BHR ist der letzte Sprung als genommen (taken) markiert. Die Prädiktortabelle sei mit (T,T) vorbelegt. **2P**
- Füllen Sie die Tabelle auf dem Lösungsblatt mit den jeweils neuen Belegungen der Prädiktoren gemäß dem Sprungverlauf. Zeigen Sie dabei an, welcher Prädiktor jeweils gewählt wird, indem Sie diesen unterstreichen.



---

## **Aufgabe 4: Parallelverarbeitung** 10P

### **Quantitative Maßzahlen:** 3P

- a) Geben Sie die Formel für das Gesetz von Amdahl an und erklären Sie die Bedeutung der unterschiedlichen Teile der Formel. 1P
- b) Mit Hilfe von Amdahls Gesetz kann hinsichtlich der maximal erreichbaren Beschleunigung eine Aussage getroffen werden. Wie lautet sie und wovon hängt sie ab? Geben Sie dafür auch eine Formel an. 1P
- c) Auf einem Parallelrechner bearbeiten Sie ein Problem fester Größe. Was beobachten Sie mit steigender Prozessorzahl und welche Auswirkungen hat dies auf die Skalierbarkeit? 1P

### **Parallele Programmiermodelle:** 2P

- d) Welche parallelen Programmiermodelle haben Sie in der Vorlesung kennengelernt? 2P

### **Verbindungsnetze und -strukturen:** 2P

- e) Die Übertragungszeit einer Nachricht setzt sich aus drei Teilen zusammen. Geben Sie hierfür eine Formel an und benennen Sie die Teile kurz. 1P
- f) Wie ist ein reguläres Permutationsnetzwerk definiert? Wodurch unterscheiden sich irreguläre Permutationsnetzwerke hiervon? 1P

### **Vektorverarbeitung:** 3P

- g) Welches Programmkonstrukt nutzt typischerweise die Vektor-Pipeline-Parallelität? Mit Hilfe welchen Werkzeuges wird dies umgesetzt? 1P
- h) Welche zwei Varianten existieren, um mehrere Vektor-Pipelines in einer Vektoreinheit zu nutzen? 1P
- i) Ein Vektorprozessor verfüge über Vektorlade- und -speicherbefehle mit sogenannter Stride-Fähigkeit. Was unterstützt der Prozessor somit? 1P

---

## **Aufgabe 5: Speicherhierarchie** **10P**

### **Definitionen** **3P**

- a) In welche zwei Typen lässt sich der Coherency-Miss unterteilen? Welcher Typ lässt sich durch geeignete Veränderungen im Quellcode vermeiden? Begründen Sie ihre Antwort. **1,5P**
- b) Beim Entwurf einer Prozessorarchitektur wird die Vergrößerung der Cache-Zeilen diskutiert. Diese hat positive und negative Effekte. Geben Sie zu folgenden Fragestellungen jeweils eine kurze Antwort mit Begründung. **1,5P**
- Welche Auswirkung hat die Vergrößerung einer Cachezeile auf die Leistung des Gesamtsystems bei Zugriffen auf aufeinanderfolgende Adressen? *0,5P*
  - Welchen Nachteil hat die Vergrößerung einer Cachezeile auf die Leistung des Gesamtsystems bei wahlfreien Zugriffen (random access)? *0,5P*
  - Welchen generellen hardwaretechnischen Nachteil hat die Vergrößerung einer Cachezeile auf die Implementierung des Caches? *0,5P*

### **MESI-Zustandsautomat** **3P**

- c) Vervollständigen Sie auf den Lösungsblatt angegebenen MESI-Zustandsautomat: Tragen Sie alle Zustandsübergänge ein, die durch entfernte Speicherzugriffe ausgelöst werden. Geben Sie weiterhin an, ob der Zustandsübergang durch einen Snoop-Hit-on-Write (W) oder durch einen Snoop-Hit-on-Read (R) ausgelöst wurde. **3P**

### **MOESI-Cache-Kohärenzprotokoll** **4P**

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MOESI-Protokoll zum Einsatz.

- d) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MOESI-Zustand an. **4P**

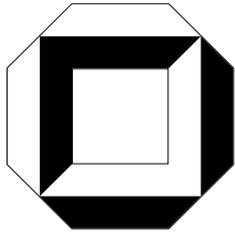
**Aufgabe 6: Fehlertoleranz**

10P

- a) Überprüfen Sie die auf dem Lösungsblatt getroffenen Aussagen hinsichtlich ihres Wahrheitsgehaltes. Kreuzen Sie hierzu an, ob die jeweilige Aussage korrekt ist oder nicht. **2P**
- b) Die Punktverfügbarkeit  $V$  wird von Herstellern gerne als Maß für die Zuverlässigkeit ihrer Produkte angegeben. **1,5P**
- Geben Sie die Formel für die Punktverfügbarkeit  $V$  an. **0,5P**
  - Was gilt für  $V$  hinsichtlich der Ausfallrate  $\lambda$ ? **0,5P**
  - Für welche Phase der sogenannten Badewannenkurve ist  $V$  nur gültig? **0,5P**
- c) Dynamische Redundanz lässt sich in drei Klassen einteilen. Nennen Sie diese und geben Sie jeweils eine kurze Erklärung. **3P**
- d) Ein System sei als n-aus-m-System konzipiert. Wie lautet die Formel zur Berechnung der Funktionswahrscheinlichkeit für ein allgemeines n-aus-m-System? **0,5P**

Ein Rechensystem beinhalte ein TMR-System bestehend aus einem 2-aus-3-System  $T$  mit nachgeschaltetem Entscheider (Voter)  $V$ . Dieses greife auf ein redundantes Hauptspeichersystem bestehend aus  $M_1$  und  $M_2$  zu. Über einen Peripheriebaustein  $P$  sind drei Peripherieeinheiten  $E_1$  bis  $E_3$  angeschlossen. Die Peripherieeinheiten  $E_1$  bis  $E_3$  sind für den Betrieb des Gesamtsystems nicht erforderlich und haben daher keinen Einfluss auf die Zuverlässigkeit.

- e) Zeichnen Sie das Zuverlässigkeitsblockdiagramm des Rechensystems. **1P**
- f) Ermitteln Sie die Systemfunktion  $S$  des Gesamtsystems. **1P**
- g) Erstellen Sie die Formel für die Funktionswahrscheinlichkeit  $\Phi(S)$  des Gesamtsystems. **1P**



**Universität Karlsruhe (TH)**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

# **Klausur Rechnerstrukturen**

## **Sommersemester 2009**

### **Lösungsteil**

Name: \_\_\_\_\_  
Vorname: \_\_\_\_\_  
Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett  
*(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)*

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/10	/10	/10	/10	/10	/10
Summe:						/60

**Lösung 1: Quantifizierung**

10P

a)  $S(f_1)$  -----  $S(f_2)$

1P

$D(f_1)$  -----  $D(f_2)$

b) Statisch:

2,5P

Dynamisch:

Antwort:

c) wahr falsch

2P

- Der Prozessortakt ist ein hinreichendes Maß für die Leistungsfähigkeit einer Architektur.
- CPI ist programmabhängig.
- MIPS-Werte erlauben einen direkten Vergleich von Rechnern mit unterschiedlicher Befehlssatzarchitektur (ISA).
- Compilertechnologie spielt keine Rolle bei der Bewertung der Rechnerleistung.

d) Gesetz von Little:

1P

Formelbestandteile:

Name:

Matrikelnummer:

3/14

---

e) Formel für Die-Yield:

**2,5P**

Antwort:

Erwartung:

f) Methode 1:

**1P**

Methode 2:

**Lösung 2: Hardwareentwurf***10P*

a) Antwort:

**1P**

b) Antwort:

**1P**

c) Antwort:

**1P**

d) 1.

**2P**

2.

3.

4.

e) 1.

**1,5P**

2.

3.

Name:

Matrikelnummer:

5/14

---

f) Antwort:

**1P**

g) Begründung:

**2,5P**

Durchzuführende Änderungen:

1.

2.

Antwort:

**Lösung 3: Prozessorarchitektur***10P*

a) Formeln:

**1,5P**

- Ausführungszeiten:

- Speedup:

- Durchsatz:

b) 6-stufige Pipeline mit Konfliktbehandlung:

**2P**

- Berechnung Ausführungszeit:

- Berechnung Speedup:

- Berechnung Durchsatz:

c) 2-Bit-Hysteresezähler:

**1P**

Sprung	Prädiktor	Vorhersage	Sprungausgang	Aktualisierter Prädiktor
1	WT		T	
2	WT		NT	
1			NT	
2			T	

d) (1,1)-Korrelationsprädiktor:

**2P**

Aktuelle Vorhersage			Sprung- ausgang	Aktualisierte Vorhersage	
BHR	Prädiktor	Vorhersage		BHR	Prädiktor
T	(T,T)		NT		
			NT		
			T		
			NT		



Name:

Matrikelnummer:

9/14

---

## **Lösung 4: Parallelverarbeitung**

*10P*

**Quantitative Maßzahlen:**

*3P*

a)

**1P**

b)

**1P**

c)

**1P**

**Parallele Programmiermodelle:**

*2P*

d)

**2P**

Name:

Matrikelnummer:

10/14

---

**Verbindungsnetze und -strukturen:**

*2P*

e)

**1P**

f) Reguläres Permutationsnetzwerk:

**1P**

Irreguläres Permutationsnetzwerk:

**Vektorverarbeitung:**

*3P*

g)

**1P**

h)

**1P**

i)

**1P**

## Lösung 5: Speicherhierarchie

10P

### Definitionen

3P

a) Antwort:

1.5P

b) Antwort:

1.5P

### MESI-Zustandsautomat

3P

c)

3P

I

S

M

E

**MOESI-Cache-Kohärenzprotokoll**

4P

d) Tabelle:

4P

Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
		Line 1	Line 2	Line 1	Line 2	Line 1	Line 2
	init	-	-	-	-	-	-
2	rd 3			3/E			
1	rd 2	2/E					
1	rd 3		3/S	3/S			
3	rd 3		3/S	3/S		3/S	
2	wr 3						
2	rd 1						
1	wr 3						
2	rd 2						
3	rd 3						
3	wr 1						
1	rd 4						
1	rd 2						

**Lösung 6: Fehlertoleranz**

10P

a)

2P

wahr	falsch
------	--------

- |                          |                          |   |
|--------------------------|--------------------------|---|
| <input type="checkbox"/> | <input type="checkbox"/> | Bei Unterlassungsausfällen können auch fehlerhafte Ergebnisse ausgegeben werden.                |
| <input type="checkbox"/> | <input type="checkbox"/> | Haftausfälle führen dazu, dass eine fehlerhafte Komponente nie mehr ein Ergebnis ausgibt.       |
| <input type="checkbox"/> | <input type="checkbox"/> | Bei einem Anhalteausfall gibt die fehlerhafte Komponente ständig den gleichen Ergebniswert aus. |
| <input type="checkbox"/> | <input type="checkbox"/> | Teilausfall schließt den Ausfall aller Funktionen einer fehlerhaften Komponente ein.            |

b) Punktverfügbarkeit  $V$ :

1,5P

Für  $V$  gilt hinsichtlich  $\lambda$ :

Phase:

c) 1.

3P

2.

3.

d) Formel:

**0,5P**

e) Zuverlässigkeitsblockdiagramm:

**1P**

f) Systemfunktion:

**1P**

g) Formel:

**1P**